

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10303408 A**

(43) Date of publication of application: **13.11.98**

(51) Int. Cl. **H01L 29/66**
H01L 29/06

(21) Application number: **09112341**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **30.04.97**

(72) Inventor: **ENDO SATOSHI**

(54) **SEMICONDUCTOR DEVICE**

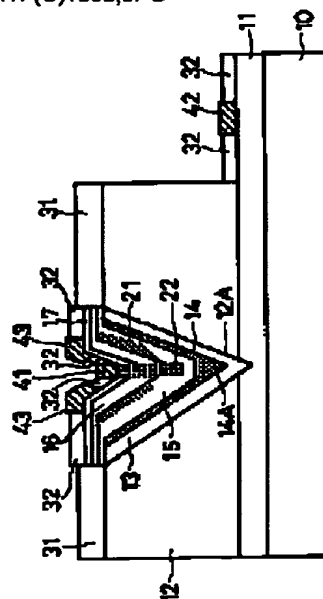
quantum dot to pass through the quantum chamber.

(57) Abstract:

COPYRIGHT: (C)1998,JPO

PROBLEM TO BE SOLVED: To obtain a structure in which electrons surely pass through a quantum box by providing a source electrode formed on a semiconductor surface of the quantum box and a drain electrode in which carriers injected from the source electrode are flowed through the quantum box.

SOLUTION: A drain layer 11 and a tetrahedral-shaped recess(TSR) concavity forming layer 12 are grown on a substrate 10. A SiO₂ film is formed on the TSR forming layer 12. A quantum box 14A is formed by growing a barrier layer 13, a well layer 14 and a barrier layer 15 in the TSR forming layer 12, while leaving a mask 31 consisting of SiO₂. An impurity portion 22 of a source layer is formed by implanting Si ions from a surface of a cap layer 17 on the quantum chamber 14A to the inside of the barrier layer 15. The TSR forming layer 12 consisting of SiO₂ is exposed on a portion on which a drain electrode is to be formed. The portion on which the drain electrode is to be formed is exposed by etching from the TSR forming layer 12 to the drain layer 11. This enables the carriers injected into a TSR



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-303408

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶

H 0 1 L 29/66
29/06

識別記号

F I

H 0 1 L 29/66
29/06

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号

特願平9-112341

(22) 出願日

平成 9 年(1997) 4 月30日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(72) 発明者 遠藤 聡

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外 2 名)

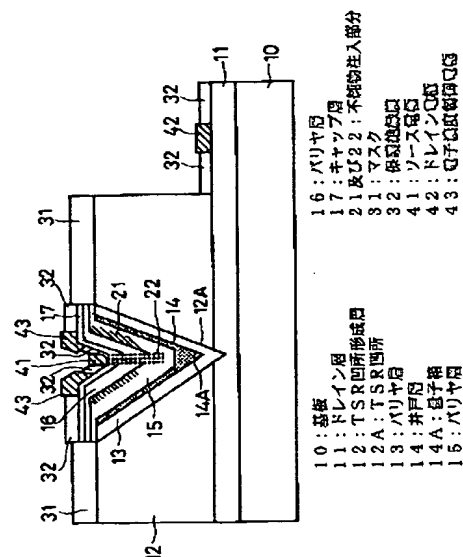
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体装置に関し、TSR量子ドットに注入された電子が必ず量子箱を通過する構造をもった単一電子トランジスタを含む半導体装置を実現しようとする。

【解決手段】 TSR凹所形成層12に形成された正四面体凹所であるTSR凹所12A内に形成されたバリヤ層13と井戸層14と井戸層14に連なってTSR凹所12Aの底に生成された量子箱14Aとバリヤ層15とからなる量子井戸構造と、バリヤ層15の表面に形成され電子供給層として働く電子濃度制御用不純物注入部分21と、電子濃度制御用不純物注入部分21上のキャップ層17の表面に形成された電子濃度制御電極43と、量子箱14A上のキャップ層17の表面に形成されたソース電極41及びソース電極41から注入されるキャリアが量子箱14Aを介して流入するドレイン電極42とを備える。

原理を説明する為の半導体装置を渡す要部切開側面図



1

【特許請求の範囲】

【請求項1】半導体層に形成された正四面体凹所内に積層形成された少なくともバリヤ層及び井戸層及び該井戸層に連なって該凹所の底に生成された量子箱及びバリヤ層からなる量子井戸構造と、

該井戸層の表面側に接するバリヤ層の表面に形成されキャリア供給層として作用するキャリア濃度制御用不純物注入部分と、

該キャリア濃度制御用不純物注入部分上の半導体層表面に形成されたキャリア濃度制御電極と、

該量子箱上の半導体層表面に形成されたソース電極及び該ソース電極から注入されるキャリアが該量子箱を介して流入するドレイン電極とを備えてなることを特徴とする半導体装置。

【請求項2】量子箱上の半導体層表面に形成されたドレイン電極及び該ドレイン電極に該量子箱を介してキャリアを流入させるソース電極を備えてなることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子の波動性に依る量子効果を利用した単一電子トランジスタからなる半導体装置の改良に関する。

【0002】現在、シリコンMOSFET (metal oxide semiconductor field effect transistor) や化合物半導体FETなどに於いて、微細化に依る高集積化が進んでいるが、その微細化には限界があり、また、微細化に起因して例えばトンネリングに依るキャリアの漏れなど不都合な量子効果が現れることが問題になっている。

【0003】そのような問題を解消する為、電子の波動性を利用する量子効果デバイスの一種である単一電子トランジスタが注目されている。

【0004】単一電子トランジスタは、シリコン半導体や化合物半導体を用いて実現することができ、また、室温動作が可能であるなど、将来的展望が開けている為、盛んに研究・開発が行なわれている。

【0005】単一電子トランジスタを実用化する為には、高集積化が必要であり、大きさが同じで均一性良好な量子ドットを基板上に多数形成することが必要であるが、この要求については未だ解決しなければならない問題があり、本発明は、これに依る一手段を提供することができる。

【0006】

【従来の技術】従来、大きさが同じで均一性良好な量子ドットを多数形成する手段として、異方性化学エッチングに依って基板に形成した正四面体凹所 (tetrahedral-shaped recesses: TSR) 中に量子ドットを形成することが行なわれ、大きさが同じで均一性が良いものが得られている (要すれば

2

「Y. Sugiyama, Y. Sakuma, S. Muto and N. Yokoyama, "Novel InGaAs/GaAs Quantum Dot Structures Formed in Tetrahedral-Shaped Recesses on (111) B GaAs Substrate Using Metalorganic Vapor Phase Epitaxy", Jpn. J. Appl. Phys. Vol. 34 pp. 4384-4386 (1995)」を参照)。

10

【0007】図8はTSR量子ドットを説明する為の要部説明図であって、(A)が要部平面、(B)が要部切断側面であり、(B)は(A)に見られる線X-Xに沿って切断してある。

【0008】図に於いて、1はGaAs正四面体凹所形成層、1Aは正四面体凹所、2はマスク膜、3は凹所1A内に形成されたAlAsバリヤ層、4はAlAsバリヤ層4上に積層されたGaAs井戸層、4AはGaAs量子箱、5はAlAsバリヤ層をそれぞれ示している。

20

【0009】

【発明が解決しようとする課題】TSR量子ドットは、大きさが同じで均一性も良好であるが、結晶の成長過程に於いて、量子箱4Aのみでなく、それに連なって凹所1Aの斜面上に井戸層4が形成される。

【0010】このようなTSR量子ドットをそのまま用いて単一電子トランジスタを作製した場合、電子は図8に実線で示した方向には流れず、破線で示した方向に流れる場合がある。

30

【0011】通常、単一電子トランジスタは、基本的にソース、ドレイン、アイランド (量子箱) で構成され、ソースから出た電子はアイランドに入るのであるが、電子が入るとアイランドのポテンシャルは上昇するから次の電子は入れない。

【0012】アイランド中の電子がドレインに出れば、ソースから次の電子が入れることになり、このようなアイランドへの電子の出入りは、ゲートに依って制御するものである。

40

【0013】ところが、アイランド、即ち、図8に見られる量子箱4Aに電子が入ったことで、最早、ソースから電子を注入できない状態になっても、電子は井戸層4及びバリヤ層3をトンネリングして通過できるので、単一電子トランジスタとして作用しないものになってしまう。

【0014】本発明は、TSR量子ドットに注入された電子が必ず量子箱を通過する構造をもった単一電子トランジスタを含む半導体装置を実現しようとする。

【0015】

【課題を解決するための手段】図1は本発明の原理を説明する為の単一電子トランジスタを含む半導体装置を表す要部切断側面図である。

50

【0016】図に於いて、10は基板、11はドレイン層、12はTSR凹所形成層、12AはTSR凹所、13はバリヤ層、14は井戸層、14Aは量子箱、15はバリヤ層、16はバリヤ層、17はキャップ層、21は不純物注入部分（電子濃度制御用）、22は不純物注入部分（ソース用）、31はTSR凹所形成用マスク、32は保護絶縁膜、41はソース電極、42はドレイン電極、43は電子濃度制御電極をそれぞれ示している。

【0017】図示の半導体装置では、バリヤ層13、井戸層14、バリヤ層15で量子井戸を構成し、表面側のバリヤ層15の表面にはn型不純物をイオン注入して電子供給層として作用する不純物注入部分21を形成し、井戸層14に二次元電子ガス層を生成させる。

【0018】井戸層14は極めて薄いので、そこでのエネルギー準位は、量子箱14Aに於けるエネルギー準位に比較して高く、従って、井戸層14に生成される二次元電子ガスは量子箱14Aに流れ込むことになる。

【0019】すると、量子箱14Aのポテンシャルは上昇し、ソース電極41及びドレイン電極42間に電圧を印加しても電子は流れ難い状態となり、そこで、電子供給層である不純物注入部分21の上方に形成された電子濃度制御電極43に正電圧を印加した場合、量子箱14Aに蓄積されていた電子は井戸層14の方に流れる。

【0020】この状態になると、量子箱14Aのポテンシャルは低下し、ソース側から電子が量子箱14Aに入ることができ、そして、電子が量子箱14Aに入ること、そこでポテンシャルは再び上昇する。

【0021】然しながら、電子濃度制御電極43に於ける印加電圧が一定であるから、井戸層14に流れ込むことができる電子には限度があり、量子箱14Aに入っていた電子はドレイン側に流れる。

【0022】即ち、井戸層14に入ることができる電子の量は、電子濃度制御電極43に印加する電圧で制御することが可能であり、従って、井戸層14を量子箱14Aに電子を出入りさせる為のゲートとして作用させる単一電子トランジスタが実現される。

【0023】また、井戸層14は、電子が流れ込むことで負に帯電する為、電子がソース側からドレイン側に流れる際、電子にとってバリヤの働きをすることになり、電子が量子箱14Aを通らずに井戸層14を通過し、単一電子トランジスタの作用をしないなどのおそれもない。

【0024】前記したところから、本発明に依る半導体装置に於いては、

(1) 半導体層（例えばTSR凹所形成層12）に形成された正四面体凹所（例えばTSR凹所12A）内に積層形成された少なくともバリヤ層（例えばバリヤ層13）及び井戸層（例えば井戸層14）及び該井戸層に連

① ドレイン層11について

材料：n型GaAs

なって該凹所の底に生成された量子箱（例えば量子箱14A）及びバリヤ層（例えばバリヤ層15）からなる量子井戸構造と、該井戸層の表面側に接するバリヤ層の表面に形成されキャリア供給層として作用するキャリア濃度制御用不純物注入部分（例えば電子濃度制御用不純物注入部分21）と、該キャリア濃度制御用不純物注入部分上の半導体層（例えばキャップ層17）表面に形成されたキャリア濃度制御電極（例えば電子濃度制御電極43）と、該量子箱上の半導体層（例えばキャップ層17）表面に形成されたソース電極（例えばソース電極41）及び該ソース電極から注入されるキャリアが該量子箱を介して流入するドレイン電極（例えばドレイン電極42）とを備えてなることを特徴とするか、又は、

【0025】(2) 前記(1)に於いて、量子箱上の半導体層表面に形成されたドレイン電極及び該ドレイン電極に該量子箱を介してキャリアを流入させるソース電極を備えてなることを特徴とする。

【0026】前記手段を採ることに依り、TSR量子ドットに於ける量子井戸のバリヤ層にはキャリア供給層が設けられ、そのキャリア供給層からのキャリアに依って井戸層内には二次元キャリア・ガスが生成されるので、それをゲートとして利用することで量子箱へのキャリアの出入りを制御することが可能であり、また、井戸層は負又は正に帯電しているから、キャリアがソース側（或いはドレイン側）からドレイン側（或いはソース側）に流れる際、キャリアに対するバリヤとして作用するので、TSR量子ドットに注入されたキャリアは必ず量子箱を通過することになり、従って、確実に動作する単一キャリア・トランジスタで構成された半導体装置が実現される。

【0027】

【発明の実施の形態】図2乃至図7は図1について説明した半導体装置を製造する工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であり、以下、これ等の図を参照しつつ説明する。尚、図1に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0028】図2(A) 参照

2- (1) 面指数が(111)BであるGaAs基板10を用意する。

【0029】図2(B) 参照

2- (2) 有機金属気相成長 (metalorganic vapor phase epitaxy: MOVPE) 法を適用することに依り、基板10上にドレイン層11及びTSR凹所形成層12を成長させる。

【0030】ここで、成長させた各半導体層に関する主要なデータを例示すると次の通りである。

不純物: Si

不純物濃度: 1×10^{18} [cm^{-3}]

厚さ: 200 [nm]

原料ガス: トリメチルガリウム (TMGa: Ga (CH_3))₃)

アルシン (AsH_3)

成長時の基板温度: 600 [°C]

【0031】

② TSR凹所形成層12について

材料: ノンドープGaAs

厚さ: 800 [nm]

原料ガス: TMGa

AsH_3

成長時の基板温度: 600 [°C]

【0032】図3(A) 参照

3-(1) プラズマ化学気相堆積 (plasma chemical vapour deposition) 法を適用することに依り、TSR凹所形成層12上に厚さが例えば100 [nm] の SiO_2 膜を形成する。

【0033】図3(B) 参照

3-(2) リソグラフィ技術に於けるレジスト・プロセス、並びに、エッチャントを NH_4F とするウエット・エッチング法を適用することに依って、 SiO_2 膜に於けるTSR凹所形成予定部分に直径が例えば1 [μm] ϕ である円形の開口31Aをもつマスク31を構成す

① バリヤ層13について

材料: ノンドープAlAs

厚さ: 8 [nm] ((111) A面にて)

原料ガス: トリメチルアルミニウム (TMA1 : Al (CH_3))₃)

AsH_3

成長時の基板温度: 600 [°C]

【0038】

② 井戸層14について

材料: ノンドープGaAs

厚さ: 5 [nm] ((111) A面にて)

原料ガス: TMGa

AsH_3

成長時の基板温度: 600 [°C]

【0039】

③ バリヤ層15について

材料: ノンドープAlAs

厚さ: 15 [nm] ((111) A面にて)

原料ガス: TMA1

AsH_3

成長時の基板温度: 600 [°C]

【0040】図5(A) 参照

5-(1) FIB (focused ion beam) 法を適用することに依り、井戸層14上のバリヤ層15に於ける表面のみにSiイオンの注入を行って電子濃度制御用不純物注入部分21を形成する。

【0041】図5(B) 参照

る。

【0034】図4(A) 参照

4-(1) 1 [%] Br_2 エタノール溶液をエッチャントとするウエット・エッチング法を適用することに依り、マスク31の開口31A内に表出されているTSR凹所形成層12のエッチングを行なって、内部に三つの等価な(111) A面を斜面として表出させたTSR凹所12Aを形成する。

【0035】図4(B) 参照

4-(2) SiO_2 からなるマスク31を残したまま、MOVPE法を適用することに依り、TSR凹所12A内にバリヤ層13、井戸層14、バリヤ層15を成長させる。尚、井戸層14を形成することで量子箱14Aも形成される。

【0036】ここで、成長させた各半導体層に関する主要なデータを例示すると次の通りである。

【0037】

5-(2) MOVPE法を適用することに依り、TSR凹所12A内のバリヤ層15上にバリヤ層16及びキャップ層17を成長させる。

【0042】ここで、成長させた各半導体層に関する主要なデータを例示すると次の通りである。

【0043】

① バリヤ層16について

材料: ノンドープAlAs

厚さ: 30 [nm] ((111) A面にて)

原料ガス: TMA1

AsH_3

成長時の基板温度: 600 [°C]

【0044】

② キャップ層17について

材料: ノンドープGaAs

厚さ: 200 [nm] ((111) A面にて)

原料ガス: TMGa

AsH_3

成長時の基板温度: 600 [°C]

【0045】図6(A) 参照

6-(1) FIB法を適用することに依り、量子箱14 A上のキャップ層17に於ける表面からバリア層15内に達するSiイオンの注入を行ってソース用不純物注入部分22を形成する。

【0046】図6(B)参照

6-(2) リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスをCHF₃とするドライ・エッチング法を適用することに依り、ドレイン電極形成予定部分上のSiO₂からなるTSR凹所形成用マスク31をエッチングしてTSR凹所形成層12の一部を表出させる。

【0047】6-(3) 引き続いて、エッチング・ガスをCCl₂F₂とするドライ・エッチング法を適用することに依って、前記表出されたTSR凹所形成層12からドレイン層11に達するエッチングを行なって、ドレイン電極形成予定部分を表出させる。

【0048】6-(4) プラズマCVD法を適用することに依り、厚さが例えば100[nm]であるSiO₂からなる保護絶縁膜32を形成する。

【0049】図7参照

7-(1) 電子ビーム・リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスをCHF₃とするドライ・エッチング法を適用することに依り、保護絶縁膜32のエッチングを行なって、ソース電極コンタクト窓、ドレイン電極コンタクト窓、電子濃度制御用電極コンタクト窓を形成する。

【0050】7-(2) リソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することに依り、電子濃度制御用電極コンタクト窓を介して不純物注入部分21とコンタクトする厚さが例えば100[nm]のAlからなる電子濃度制御電極43を形成する。

【0051】7-(3) リソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することに依り、ソース電極コンタクト窓、ドレイン電極コンタクト窓を介して不純物注入部分22、ドレイン層11とコンタクトする厚さが例えば30[nm]/200[nm]のAuGe/Auからなるソース電極41、ドレイン電極42を形成する。

【0052】本発明に於いては、前記実施の形態に限られず、他に多くの改変を実現することが可能であり、例えば、半導体装置は、導電型を反転させることで、単一正孔トランジスタも簡単に実現させることができ、その場合、前記実施の形態に於いて、n型ドーパントとして用いたSiは、p型ドーパントである例えばBeなどに代替すれば良い。

【0053】

【発明の効果】本発明に依る半導体装置に於いては、半導体層に形成された正四面体凹所内に形成されたバリア層及び井戸層及び該井戸層に連なって該凹所の底に生成

された量子箱及びバリア層からなる量子井戸構造、井戸層の表面側に接するバリア層に形成されたキャリア供給層であるキャリア濃度制御用不純物注入部分、キャリア濃度制御用不純物注入部分上の半導体層に形成されたキャリア濃度制御電極、量子箱上の半導体層に形成されたソース電極及び該ソース電極から注入されるキャリアが該量子箱を介して流入するドレイン電極を備える。

【0054】前記構成を採ることに依り、TSR量子ドットに於ける量子井戸のバリア層にはキャリア供給層が設けられ、そのキャリア供給層からのキャリアに依って井戸層内には二次元キャリア・ガスが生成されるので、それをゲートとして利用することで量子箱へのキャリアの出入りを制御することが可能であり、また、井戸層は負又は正に帯電しているから、キャリアがソース側(或いはドレイン側)からドレイン側(或いはソース側)に流れる際、キャリアに対するバリアとして作用するので、TSR量子ドットに注入されたキャリアは必ず量子箱を通過することになり、従って、確実に動作する単一キャリア・トランジスタで構成された半導体装置が実現される。

【図面の簡単な説明】

【図1】本発明の原理を説明する為の単一電子トランジスタを含む半導体装置を表す要部切断側面図である。

【図2】図1について説明した半導体装置を製造する工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図3】図1について説明した半導体装置を製造する工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図4】図1について説明した半導体装置を製造する工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図5】図1について説明した半導体装置を製造する工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図6】図1について説明した半導体装置を製造する工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図7】図1について説明した半導体装置を製造する工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図8】TSR量子ドットを説明する為の要部説明図である。

【符号の説明】

1 正四面体凹所形成層

1A 正四面体凹所

2 マスク膜

3 バリア層

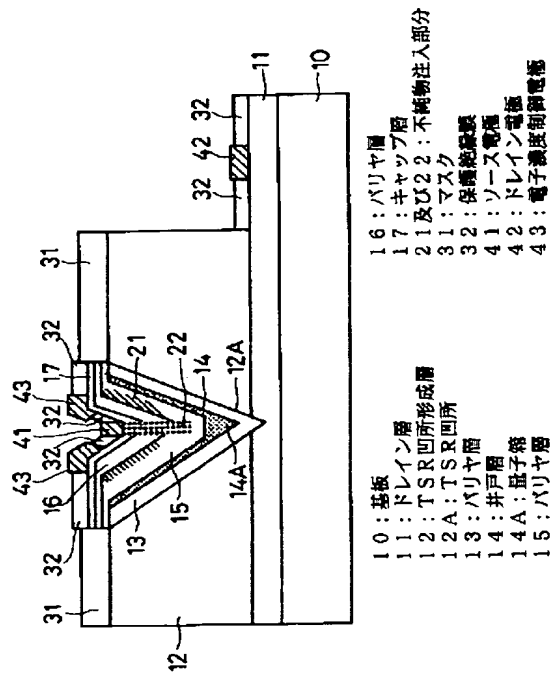
4 井戸層

4A 量子箱

- 5 バリヤ層
- 10 基板
- 11 ドレイン層
- 12 TSR凹所形成層
- 12A TSR凹所
- 13 バリヤ層
- 14 井戸層
- 14A 量子箱
- 15 バリヤ層

【図1】

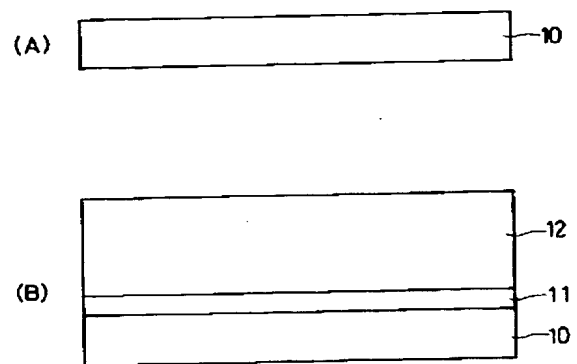
原理を説明する為の半導体装置を表す要部切断側面図



- 16 バリヤ層
- 17 キャップ層
- 21 不純物注入部分 (電子濃度制御用)
- 22 不純物注入部分 (ソース用)
- 31 TSR凹所形成用マスク
- 32 保護絶縁膜
- 41 ソース電極
- 42 ドレイン電極
- 43 電子濃度制御電極

【図2】

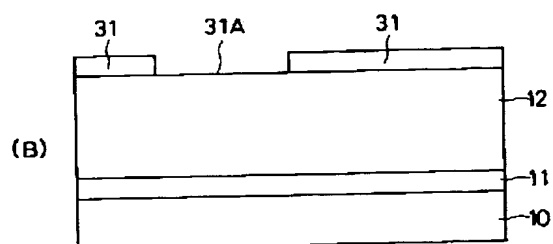
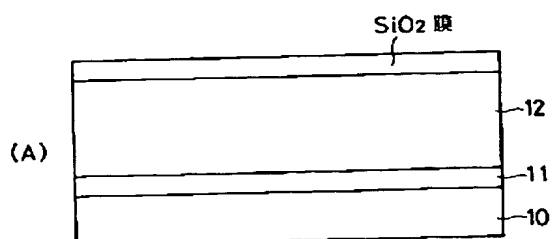
工程要所の半導体装置を表す要部切断側面図



- 10: 基板
- 11: ドレイン層
- 12: TSR凹所形成層

【図3】

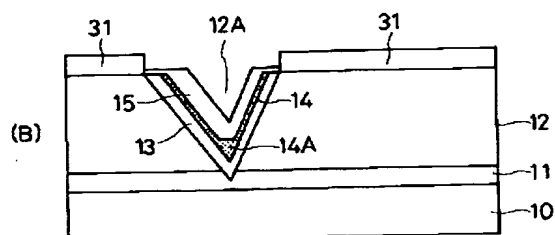
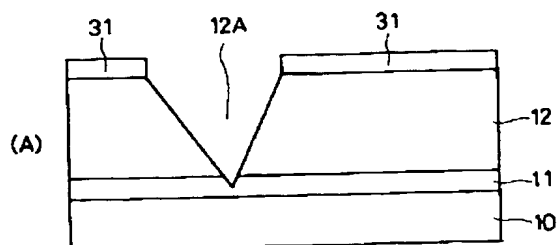
工程要所の半導体装置を表す要部切断側面図



31 : マスク
31A : 開口

【図4】

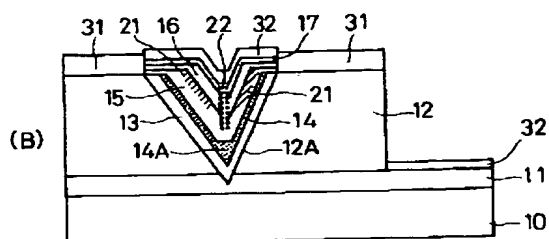
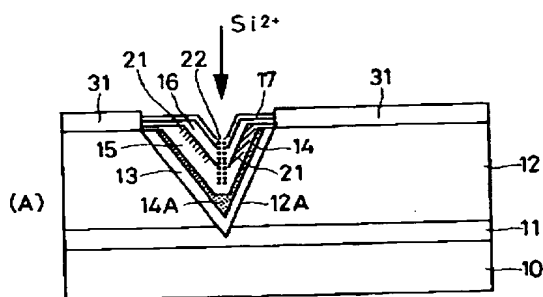
工程要所の半導体装置を表す要部切断側面図



12A : TSR凹所
13 : バリヤ層
14 : 井戸層
14A : 量子箱
15 : バリヤ層

【図6】

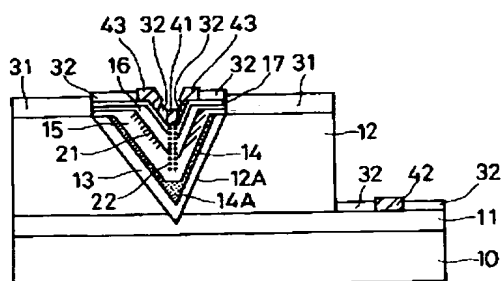
工程要所の半導体装置を表す要部切断側面図



22 : 不純物注入部分
32 : 保護絶縁膜

【図7】

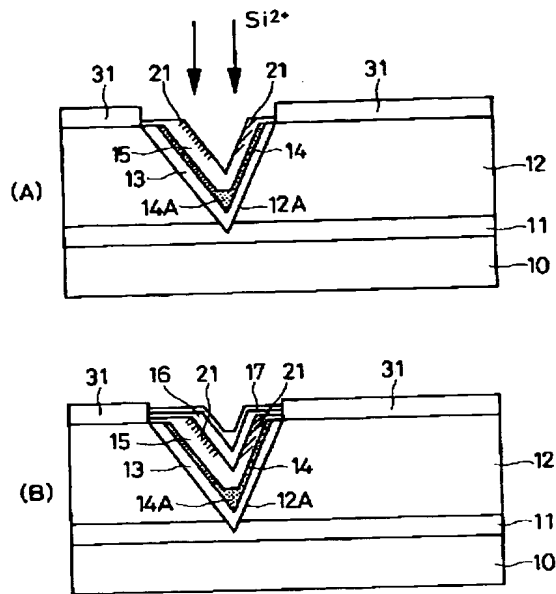
工程要所の半導体装置を表す要部切断側面図



41 : ソース電極
42 : ドレイン電極
43 : 電子濃度制御電極

【図5】

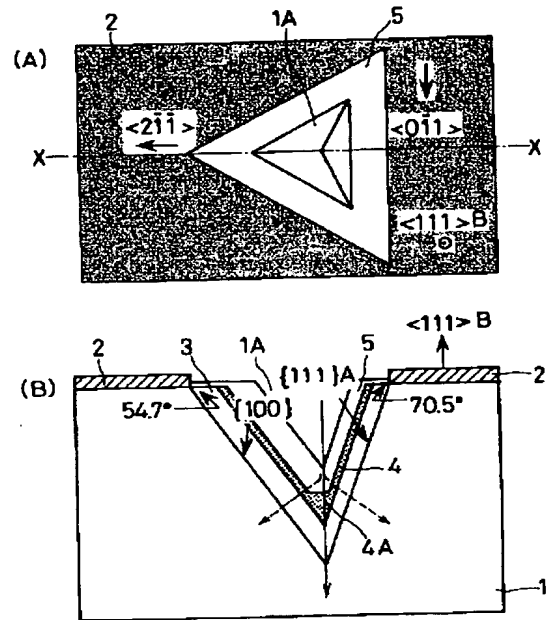
工程要所の半導体装置を表す要部切断側面図



16 : バリヤ層
 17 : キャップ層
 21 : 不純物注入部分

【図8】

TSR量子ドットの要部説明図



1 : 正四面体凹所形成層
 1A : 正四面体凹所
 2 : マスク膜
 3 : バリヤ層
 4 : 井戸層
 4A : 量子箱
 5 : バリヤ層